

#2/4-28-02



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inter Patent Application of: Jung-Im KIM, et al.

Serial No.: 10/029,944

Group Art Unit: 2131

Filed: Dec. 31, 2001

Examiner: Not Yet Assigned

Title: TURBO CODE ENCODER AND CODE RATE DECREASING METHOD
THEREOF

RECEIVED

FEB 14 2002

Technology Center 2600

* * * * *

CLAIM FOR PRIORITY
UNDER 35 U.S.C. § 119

Honorable Commissioner for Patents
Washington, D.C. 20231

February 13, 2002

Sir:

The benefit of the filing date of prior foreign application No. 2001-0079318 filed in Korea on December 14, 2001, is hereby requested and the right of priority provided in 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,

Yoon S. Ham
Reg. No. 45,307

JACOBSON, PRICE, HOLMAN & STERN, PLLC
400 Seventh Street, N.W.
Washington, D.C. 20004-2201
Telephone: (202) 638-6666

Atty. Docket No.: P67496US0
YSH:ecl



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 79318 호
Application Number PATENT-2001-0079318

RECEIVED

FEB 14 2002

Technology Center 2000

출원년월일 : 2001년 12월 14일
Date of Application DEC 14, 2001

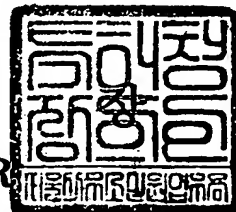
출원인 : 한국전자통신연구원
Applicant(s) KOREA ELECTRONICS & TELECOMMUNICATIONS RESEARCH INST



2001 년 12 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2001. 12. 14
【발명의 명칭】	터보 코드 인코더 및 그의 부호율 감소 방법
【발명의 영문명칭】	A turbo code encoder and a code rate decreasing method thereof
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【명칭】	유미특허법인 (대표변리사김원호송만호)
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-038431-4
【발명자】	
【성명의 국문표기】	김정임
【성명의 영문표기】	KIM, JUNG IM
【주민등록번호】	671001-2047015
【우편번호】	302-752
【주소】	대전광역시 서구 월평2동 백합아파트 106동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	방승찬
【성명의 영문표기】	BANG, SEUNG CHAN
【주민등록번호】	620809-1056013
【우편번호】	302-791
【주소】	대전광역시 서구 월평동 누리아파트 115동 1502호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 유미특허법인(대표변리사김원호송만호) (인)

【수수료】

【기본출원료】 18 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 9 항 397,000 원

【합계】 426,000 원

【감면사유】 정부출연연구기관

【감면후 수수료】 213,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 터보 코드 인코더 및 그의 부호율 감소 방법에 대한 것으로, 인코딩될 비트들을 입력받아 시스템틱 비트와 제1 패리티 비트를 출력하는 제1 길쌈 인코더, 상기 인코딩될 비트들을 입력받아 인터리빙하는 인터리버 및 상기 인터리버에서 인터리빙된 비트들을 입력받아, 제2 패리티 비트를 생성하여 출력하는 제2 길쌈 인코더를 포함하는 부호율 1/3인 터보 코드 인코더의 부호율 감소 방법에 있어서, 상기 제1 길쌈 인코더 및 제2 길쌈 인코더에서 출력되는 비트 중 미리 정해진 임의의 비트를 반복하여 출력하는 것을 특징으로 한다. 이와 같은 본 발명은 시스템틱 오류정정 부호에 새로운 다항식을 추가하여 패리티 비트를 추가로 생성하지 않고, 현재 인코더가 갖고 있는 비트를 다시 전송하여 부호율을 감소시킴으로써, 최소의 복잡도로 코딩이득을 얻을 수 있다.

【대표도】

도 3

【색인어】

터보코드, 인코더, 부호율, 천공

【명세서】**【발명의 명칭】**

터보 코드 인코더 및 그의 부호율 감소 방법{A turbo code encoder and a code rate decreasing method thereof}

【도면의 간단한 설명】

도1은 IMT-2000시스템에서 사용되는 부호율 1/3인 터보인코더의 구조를 보인 도면이다.

도2는 IMT-2000시스템에서 사용되는 부호율 1/4인 터보인코더의 구조를 보인 도면이다.

도3은 이 발명의 실시예에 따른 터보 코드 인코더의 구성도이다.

도4는 종래기술과 본 발명의 시뮬레이션 결과도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 터보 코드 인코더에 관한 것으로, 특히, 터보 코드 인코더에서 부호율을 낮추기 위해 인코더가 갖고 있는 비트를 반복 전송하여 부호율을 낮추고 최소의 복잡도로 코딩 이득을 얻는 터보 코드 인코더 및 그의 부호율 감소 방법에 관한 것이다.

<6> 일반적으로 통신시스템에서는 채널환경에 의한 정보신호의 왜곡을 방지하기 위해, 신호를 부호화(channel coding)하여 전송하고, 수신기에서 부호화된 신호

를 원래신호로 바꾸는 오류정정 부호(Forward Error Correction Codes)를 사용한다. 오류정정 부호는 보내고자 하는 신호에 패리티비트(Parity Bits)를 삽입하여 채널환경에서 왜곡된 신호를 복원할 때 패리티비트를 이용하여, 신호왜곡의 확률을 낮추기 위해 사용한다.

- <7> 오류정정 부호는 인코더와 디코더로 구성되는데, 인코더는 전송단에서 위치하며, 보내고자하는 신호의 패리티비트를 만들어내고, 디코더는 수신단에 위치하여 패리티비트를 이용하여 본래 전송단에서 보내고자 하는 신호를 복원하는데 이용한다.
- <8> 인코더에 입력되는 정보신호가 패리티비트와 함께 전송되는 경우의 오류부호 방식을 시스테메틱(Systematic)하다고 하고, 정보신호가 전송되지 않고 패리티비트만 전송되는 경우를 비-시스테메틱(Non-systematic)하다고 한다.
- <9> 부호율이란 보내고자 하는 정보신호의 양과 패리티비트의 양과의 비이다. 패리티비트가 클수록 부호율(Code rate)은 낮아지면서, 신호의 왜곡 확률이 작아져 성능이 향상된다.
- <10> 일반적으로 대부분의 오류정정 부호의 성능은 주로 부호간의 최소거리 (Minimum Distance or Free Distance) 및 거리 분포(Distribution of Code Word)에 의해 결정됨이 잘 알려져 있다. 이러한 관점에서, 종래의 부호율 1/4인 터보코드의 부호화 방식이, 부호율1/3인 인코더에 새로운 다항식을 추가하여 부호율을 1/4로 감소시키는 방식을 사용한다고 해석 할 수 있다. 즉, 종래의 부호율 1/4인 방식은 부호화된 부호들간의 거리를 증가시켜 부호화 이득을 증가시킨다고 할 수 있다.

- <11> 본 발명이 속하는 오류정정분야 및 종래의 기술을 구체적으로 설명하기 위해, IMT-2000시스템의 표준방식을 예로 설명한다. IMT-2000시스템에서 오류정정 부호의 표준기술로 터보코드(Turbo Codes)가 사용된다.
- <12> 도1은 IMT-2000시스템에서 사용되는 부호율 1/3인 터보인코더의 구조를 보여준다. 도1에서, 터보 인코더는, 회귀적 시스템에릭 길쌈인코더1(Recursive Systematic Convolutional Encoder)과 회귀적 시스템에릭 길쌈인코더2가 병렬로 구성되었음을 알 수 있다.
- <13> 도1은 터보코드의 입력데이터와 출력데이터와의 관계를 보여준다. 회귀적 시스템에릭 길쌈인코더는 전달함수(transfer function) $G(D)$ 의 특성에 따라 데이터를 인코딩한다.
- <14> X_1, X_2, \dots, X_N N개의 비트로 구성된 $X(t)$ 가 입력되면, $X(t)$, $Y(t)$ 와 $Z(t)$ 가 출력된다. 이때, $X(t)$ 는 시스템에릭 비트이며, $Y(t)$ 와 $Z(t)$ 는 패리티비트이다. $Y(t)$ 는 Y_1, Y_2, \dots, Y_N 으로, $Z(t)$ 는 Z_1, Z_2, \dots, Z_N 의 각각 N개의 비트로 구성되어 있다.
- <15> 즉, 회귀적 시스템에릭 길쌈인코더1(120)에서 시스템에릭 비트 $X(t)$ 와 패리티비트 $Y(t)$ 가 함께 출력된다. 또한, 회귀적 시스템에릭 길쌈인코더2(130)에서 시스템에릭 비트 $X(t)$ 가 터보 인터리버(Turbo Interleaver)(110)의 규칙에 따라 인터리빙된후 회귀적 시스템에릭 길쌈인코더2(130)에 입력되어, 패리티비트 $Z(t)$ 로 부호화된다.

- <16> 길쌈인코더2(130)는 길쌈인코더1(120)과 달리 시스템에틱 비트는 출력하지 않고, 패리티비트 $Z(t)$ 만 출력한다. 참고로, 여기서 부호율1/3은 입력 $X(t)$ 에 대한 출력 $X(t), Y(t), Z(t)$ 에 대한 비를 말한다.
- <17> 도1에서 보여지듯이, 부호율 1/3인 터보인코더의 최종 출력 데이터는 $X_1, Y_1, Z_1, X_2, Y_2, Z_2, \dots, X_N, Y_N, Z_N$ 의 순서로 정렬되어 출력된다.
- <18> 현재, 동기식 IMT-2000 시스템에서 부호율1/4인 터보코드의 경우, 부호율 1/3에서 사용한 회귀다항식 $d(D)$ 과 다항식 $n_1(D)$ 에, 새로운 다항식 $n_2(D)$ 를 추가하여 데이터를 인코딩한다.
- <19> 도2에 부호율 1/4 인 터보코드의 종래의 방식이 보여진다.
- <20> 부호율1/4의 터보인코더(200)는 부호율1/3에서 사용한 다항식에 의해서 $X(t), Y_1(t), Z_1(t)$ 를, 추가로 삽입된 다항식 $n_2(D)$ 에 의한 패리티비트 $Y_2(t)$ ($Y_{21}, Y_{22}, Y_{23}, \dots, Y_{2N}$, N개로 구성되었음)와 $Z_2(t)$ ($Z_{21}, Z_{22}, Z_{23}, \dots, Z_{2N}$, N개로 구성되었음)로 인코딩한다. $Y_2(t)$ 는 회귀적 시스템에틱 길쌈인코더1(220)에서, $Z_2(t)$ 는 회귀적 시스템에틱 길쌈인코더2(230)에서 출력된 데이터이다.
- <21> 도2에서 보여지듯이, 종래의 부호율1/4인 터보코드의 최종 출력 데이터는 $X_1, Y_{11}, Z_{11}, Z_{21}, X_2, Y_{12}, Y_{22}, Z_{12}, X_3, Y_{13}, Z_{13}, Z_{23}, \dots, X_N, Y_{1N}, Y_{2N}, Z_{1N}$ 로 출력된다. 즉, 회귀적 시스템에틱 길쌈인코더1(220)에서 출력된 $Y_{21}, Y_{23}, Y_{25}, Y_{27}, \dots, Y_{2N-1}$ 와 회귀적 시스템에틱 길쌈인코더2(230)에서 출력된 $Z_{22}, Z_{24}, Z_{26}, Z_{28}, \dots, Z_{2N}$ 가 천공(Puncturing)되어 전송되지 않는다.

<22> 천공은 부호율 1/4을 만족시키기 위해 수행한다. 종래의 부호율 1/4인 방법은 부호율1/3에 비해, 증가된 패리티 비트 $Y_2(t)$, $Z_2(t)$ 로 인해 인코더에서 메모리가 증가하고, 수신단에서도 패리티 비트를 저장하는 메모리 및 연산량이 증가하게된다.

<23> 이와 같이, 종래에는 부호율1/3인 터보코드의 인코더에 새로운 다항식을 넣어 패리티 비트를 추가로 생성하여 전송하여 부호율을 낮추고 있기 때문에, 추가된 패리티 비트의 저장 및 연산으로 인해 시스템의 복잡도가 증가한다는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자 하는 기술적 과제는 상기 기술한 바와 같은 문제점을 해결하기 위하여 안출된 것으로, 시스템에 오류 정정 부호에 새로운 다항식을 추가하여 패리티 비트를 추가로 생성하지 않고, 현재 인코더가 갖고 있는 비트를 다시 전송하여 부호율을 감소시킴으로써, 최소의 복잡도로 코딩이득을 얻는 터보코드 인코더 및 그의 부호율 감소방법을 제공하는 것이다.

<25> 본 발명은 종래의 방법과 다른 부호율 1/4인 터보코드의 부호화 방법을 부호율1/3인 터보코드의 시스템에 비트를 반복 전송하는 방법을 제공한다. 이와 같은 본 발명은 종래의 방법과 비교했을 때, 복잡도가 작다는 면에서 이득이 있으며, 성능은 종래의 방법과 거의 유사하고, 수신단의 디코더의 구조에 따라 약간 성능이 향상될 수 있다.

【발명의 구성 및 작용】

- <26> 이러한 과제를 해결하기 위한 본 발명의 하나의 특징에 따른 터보 코드 인코더는,
- <27> 인코딩될 비트들을 입력받아 시스템에틱 비트와 제1 패리티 비트를 생성하여 출력하는 제1 길쌈 인코더;
- <28> 상기 인코딩될 비트들을 상기 제1 길쌈 인코더와 병렬로 입력받아 인터리빙하는 인터리버;
- <29> 상기 인터리버에서 인터리빙된 비트들을 입력받아, 제2 패리티 비트를 생성하여 출력하는 제2 길쌈 인코더;
- <30> 상기 제1 길쌈 인코더 및 제2 길쌈 인코더에서 출력되는 비트중에서 일정 비트를 반복하여 출력하는 반복부를 포함한다.
- <31> 이러한 과제를 해결하기 위한 본 발명의 다른 특징에 따른 터보 코드 인코더의 부호율 감소 방법은,
- <32> 인코딩될 비트들을 입력받아 시스템에틱 비트와 제1 패리티 비트를 출력하는 제1 단계;
- <33> 상기 인코딩될 비트들을 입력받아 인터리빙하는 제2 단계;
- <34> 상기 인터리빙된 비트들을 입력받아, 제2 패리티 비트를 생성하여 출력하는 제3 단계;
- <35> 상기 제1 단계 및 제3 단계에서 출력되는 비트 중 미리 정해진 임의의 비트를 반복하여 출력하는 단계를 포함한다.

- <36> 이하, 본 발명을 이 분야의 통상의 지식을 지닌자가 용이하게 실시할 수 있도록 실시예에 관하여 첨부된 도면을 참조하여 상세히 설명한다.
- <37> 도3는 이 발명의 실시예에 따른 터보 코드 인코더의 구성도이다.
- <38> 도3을 참조하면, 이 발명의 실시예에 따른 터보 코드 인코더(300)는, 제1 회귀적 시스템에틱 길쌈 인코더(320), 인터리버(310), 제2 회귀적 시스템에틱 길쌈 인코더(330) 및 반복부(340)를 포함한다. 제1 회귀적 시스템에틱 길쌈 인코더(320)는 인코딩될 비트들을 입력받아 시스템에틱 비트와 제1 패리티 비트를 생성하여 출력한다. 인터리버(310)는 인코딩될 비트들을 상기 제1 길쌈 인코더(320)와 병렬로 입력받아 인터리빙한다. 제2 회귀적 시스템에틱 길쌈 인코더(330)는 상기 인터리버에서 인터리빙된 비트들을 입력받아, 제2 패리티 비트를 생성하여 출력한다. 반복부(340)는 상기 제1 회귀적 시스템에틱 길쌈 인코더(320) 및 제2 회귀적 시스템에틱 길쌈 인코더(330)에서 출력되는 비트중에서 일정 비트를 반복하여 출력한다.
- <39> 이러한 구성을 가진 이 발명의 실시예에 따른 터보 코드 인코더의 동작을 상세히 설명하면 다음과 같다.
- <40> 먼저, N개의 인코딩될 비트(X)가 제1 회귀적 시스템에틱 길쌈 인코더(320)로 입력된다. 제1 회귀적 시스템에틱 길쌈 인코더(320)는 입력된 비트로부터 N개의 시스템에틱 비트와 N개의 패리티비트를 생성하여 반복부(340)로 출력한다.
- <41> 한편, 인터리버(310)는 N개의 인코딩될 비트(X)를 인터리빙한다.

- <42> 그리고 나서, 제2 회귀적 시스템에틱 길쌈 인코더(330)는 N개의 인터리빙된 비트로부터 N개의 패리티비트를 생성하여 반복부(340)로 출력한다. 결과적으로 반복부(340)에는 총 $3*N$ 개의 비트가 입력된다. 즉, $2*N$ 개의 패리티 비트와 N개의 시스템에틱 비트가 입력된다.
- <43> 이와 같이, $3*N$ 개의 비트가 입력되면, 반복부(340)는 N개의 시스템에틱 비트를 반복하여 총 $4*N$ 개의 비트를 출력하여 부호율 $1/4$ 을 구현한다.
- <44> 이때, 출력신호는 도3과 같이, $X_1, Y_1, X_1, Z_1, X_2, Y_2, X_2, Z_2, \dots, X_N, Y_N, X_N, Z_N$ 와 같은 구조가 된다.
- <45> 이방식은 수신단 디코더내에서 반복된 시스템에틱 비트들을 수신하는 대로 결합하여 수신되는 메모리를 $3*N$ 개로 사용할 수 있다.
- <46> 그러나, 도2에 나타낸 종래의 방식은, 수신단 디코더에서 적어도 $4*N$ 개의 메모리를 사용하여야 하고, 천공된 비트에 대한 처리를 하는 방법에 따라 여분의 메모리가 더욱 필요하게 된다.
- <47> 상기한 실시예에서와 같이, 부호율 $1/4$ 인 터보코드의 경우, 본 발명의 실시예에서 제안하는 방식으로 전송하면, 수신단의 디코더는 부호율 $1/3$ 인 터보코드와 똑 같은 메모리로 데이터를 복호화 할수있다. 즉, 사전확률과 사후확률을 계산하는데 필요한 메모리가 부호율 $1/3$ 과 부호율 $1/4$ 이 같게 사용할 수 있다.
- <48> 그러나, 종래의 방식에 의하면, 부호율 $1/3$ 에 비해서 인코더에 추가된 다항식에 의해 생성된 패리티 비트를 처리하는 연산량이 증가하며, 패리티 비트를 저장하는 메모리가 추가로 필요하게 된다.

- <49> 본 발명에서 제안하는 시스템에틱 비트를 반복전송하는 알고리즘과 종래의 방식인 부호간의 거리를 증가시키는 알고리즘의 성능은 아래와 같이 두가지 관점에서 비교해 볼 수 있다.
- <50> 첫째, 본 발명이 제안하는 방식은 최소거리 관점에서 종래의 1/4인 터보코드보다 성능이 열등하다. 그러나, 종래의 방식은 데이터의 전송속도를 맞추기 위해 5비트당 1비트씩 데이터를 천공하므로, 최소거리가 데이터 천공에 의해 감소되므로, 종래의 방식과 본 발명의 제안하는 방식의 최소거리에 의한 성능차가 크지 않다.
- <51> 둘째, 터보코드는 MAP알고리즘을 디코더에서 사용한다. MAP알고리즘에서는 사전확률(A Priori Value)을 계속 반복적으로 계산하여, 사후확률(A Posterior)에 대한 신뢰도를 증가시켜서 부호화 성능이득을 증가시킨다. 사후 확률과 사전확률은 시스템에틱 비트의 함수로 되어 있으며, 특히, 사후확률을 얻기 위해 계산하는 중간식은 사전확률에 시스템에틱 비트를 곱하는 형태로 되어있다. 즉, 시스템에틱 비트가 정확할수록 사후확률을 정확하게 계산할 수 있다고 분석할 수 있다.
- <52> 본 발명은 시스템에틱 비트의 반복 전송을 통해, 사후확률과 사전확률에 대한 정확도를 증가시켜 터보디코더의 성능을 꺾하고자 한다. 위 두가지 관점에서, 종래의 방식과 본 발명이 제안하는 방식의 성능의 비교는 시뮬레이션 결과를 참조로 하여 설명하기로 한다.
- <53> 도4를 참조하면, 본 발명(상단의 곡선)과 종래기술(하단의 곡선) 모두 같은 곡선 형태를 가지며, 신호대 잡음비가 좋아질수록 즉, 채널환경이 좋아질수록 에러율

이 낮아지게 된다. 특히, 신호대 잡음비(E_s/N_0)가 -4.1에서 에러율이 10^{-5} 과 10^{-6} 사이에 위치한다.

<54> 시뮬레이션 결과에서와 같이, 본 발명에서 제안하는 방식과 종래의 방식의 성능 차이가 거의 없음을 알 수 있다. 즉, 본 발명은 종래의 방식보다 시스템에틱 비트에 대한 정확도가 증가하므로 성능이 향상되고, 종래의 방식은 부호들간의 최소 거리가 증가하여 성능이 증가된다고 해석 할 수 있다.

<55> 종래의 채널코딩방식에서 부호율이 낮아질수록, 복잡도가 증가하는데, 본 발명은 종래의 인코더에 다항식을 추가하는 방식을 사용하지 않고, 인코더가 갖고 있는 비트를 재전송하여 부호율을 감소시킴으로써, 복잡도가 크게 증가하지 않고 성능을 향상시키는 기술을 제공한다.

<56> 본 발명이 제안하는 방식은 터보코드뿐만 아니라 시스템에틱 부호화 코드에 모두 적용할 수 있으며, 이와 같은 본 발명의 바람직한 실시예는 부호율 1/4인 경우에 대해 시스템에틱 비트를 반복하는 것으로 설명했지만, 필요에 따라서는 패리티 비트를 반복하여 부호율을 낮출 수도 있고, 다른 부호율에서는 천공하는 방법을 이용할 수도 있다. 또한, 이와 같은 본 발명의 실시예는 예시의 목적을 위해 개시된 것이며, 당업자라면 첨부된 특허청구범위에 개시된 본 발명의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능하다.

【발명의 효과】

<57> 이상에서 설명한 바와 같이, 본 발명은 터보코드와 같은 오류정정 부호에서

부호율을 감소시키는 방법에서, 종래의 채널코딩방식에서 부호율이 낮아질수록, 복잡도가 증가하는데 비해, 인코더가 갖고 있는 비트를 재전송하여 부호율을 감소시킴으로써, 복잡도가 크게 증가하지 않고 성능을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

인코딩될 비트들을 입력받아 시스테메틱 비트와 제1 패리티 비트를 생성하여 출력하는 제1 길쌈 인코더;

상기 인코딩될 비트들을 상기 제1 길쌈 인코더와 병렬로 입력받아 인터리빙하는 인터리버;

상기 인터리버에서 인터리빙된 비트들을 입력받아, 제2 패리티 비트를 생성하여 출력하는 제2 길쌈 인코더;

상기 제1 길쌈 인코더 및 제2 길쌈 인코더에서 출력되는 비트중에서 일정 비트를 반복하여 출력하는 반복부를 포함하는 터보 코드 인코더.

【청구항 2】

제1항에 있어서,

상기한 반복부는 상기 시스테메틱 비트를 반복하여 출력하는 것을 특징으로 하는 터보 코드 인코더.

【청구항 3】

제2항에 있어서,

상기 반복부의 출력신호는 시스테메틱 비트, 제1 패리티 비트, 시스테메틱 비트, 제2 패리티 비트 순서로 출력되는 것을 특징으로 하는 터보 코드 인코더.

【청구항 4】

제1항에 있어서,

상기한 반복부는 상기 제1 패리티 비트를 반복하여 출력하는 것을 특징으로 하는 터보 코드 인코더.

【청구항 5】

제1항에 있어서,

상기한 반복부는 상기 제2 패리티 비트를 반복하여 출력하는 것을 특징으로 하는 터보 코드 인코더.

【청구항 6】

인코딩될 비트들을 입력받아 시스템메틱 비트와 제1 패리티 비트를 출력하는 제1 단계;

상기 인코딩될 비트들을 입력받아 인터리빙하는 제2 단계;

상기 인터리빙된 비트들을 입력받아, 제2 패리티 비트를 생성하여 출력하는 제3 단계;

상기 제1 단계 및 제3 단계에서 출력되는 비트 중 미리 정해진 임의의 비트를 반복하여 출력하는 단계를 포함하는 터보 코드 인코더의 부호율 감소 방법.

【청구항 7】

제6항에 있어서,

상기 제4단계는, 상기 시스템메틱 비트를 반복하여 시스템메틱 비트, 제1 패리티 비트, 시스템메틱 비트, 제2 패리티 비트 순서로 데이터가 출력되도록 하는 것을 특징으로 하는 터보 코드 인코더의 부호율 감소 방법.

【청구항 8】

제6항에 있어서,

상기 제4 단계에서, 제1 길쌈 인코더 및 제2 길쌈 인코더에서 출력되는 비트 중 상기 제1 패리티 비트를 반복하여 출력하는 것을 특징으로 하는 터보 코드 인코더의 부호율 감소 방법.

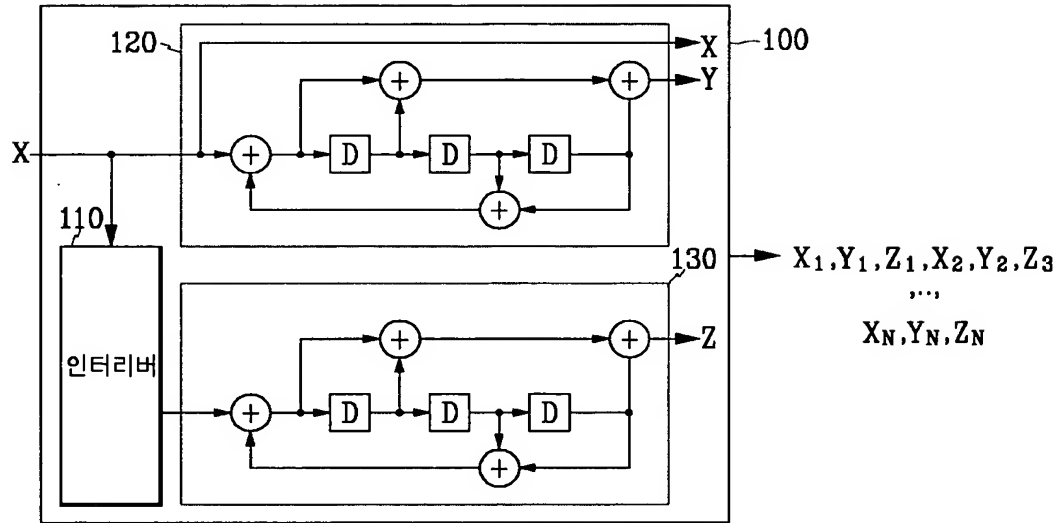
【청구항 9】

제6항에 있어서,

상기 제4 단계에서, 상기 부호율이 $1/4$ 미만인 경우 상기 시스템에틱 비트와 제1 패리티 비트를 반복하여 출력하고, 천공을 통해 부호율을 감소하는 것을 특징으로 하는 터보 코드 인코더의 부호율 감소 방법.

【도면】

【도 1】

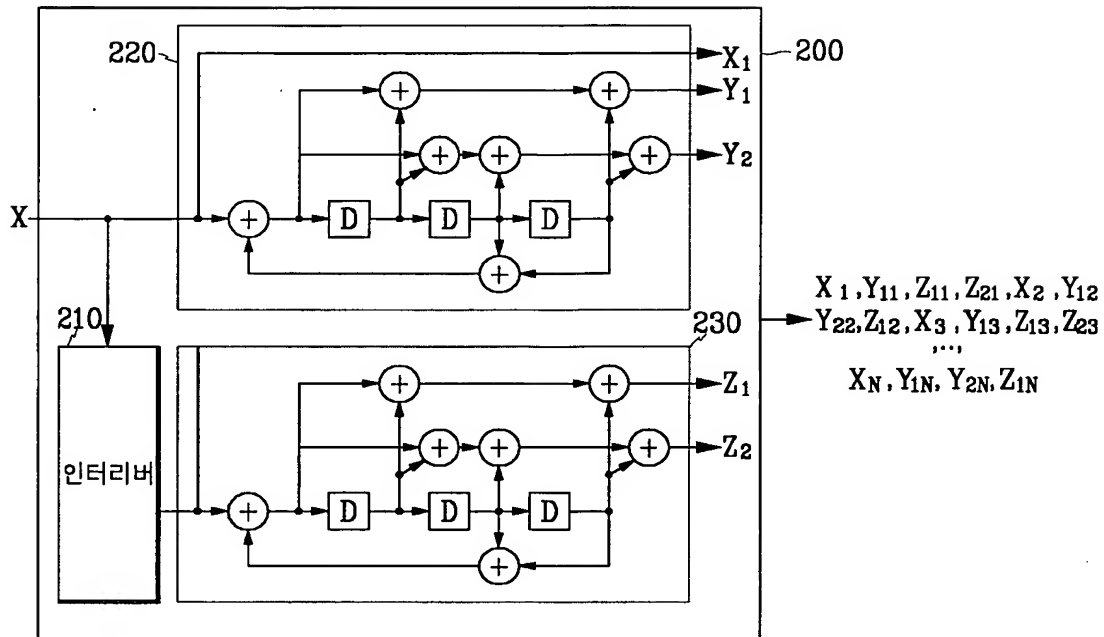


$$X = X_1, X_2, X_3, X_4, \dots, X_N$$

$$Y = Y_1, Y_2, Y_3, Y_4, \dots, Y_N$$

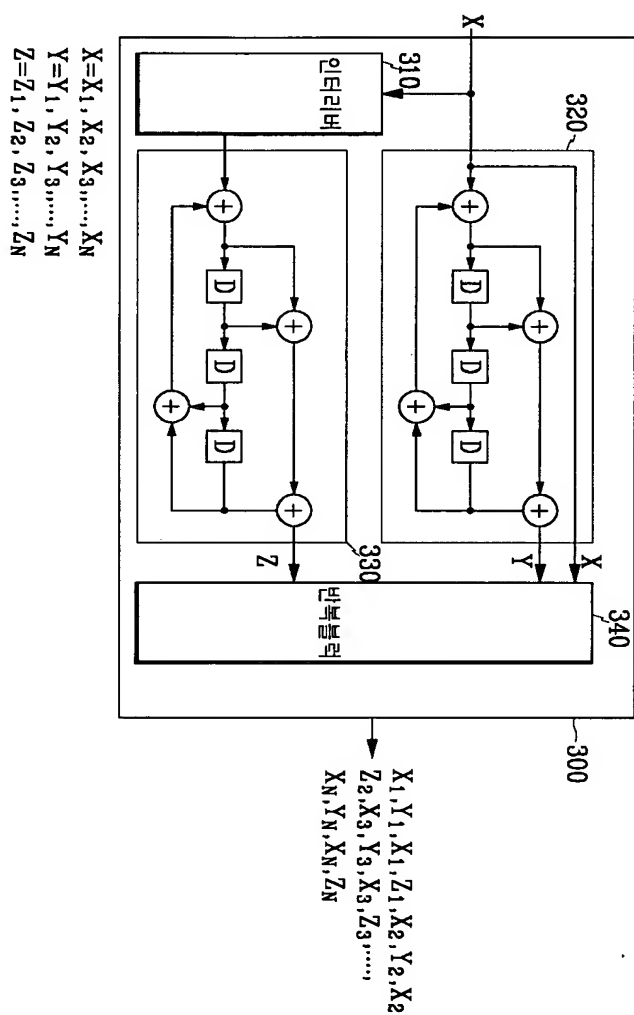
$$Z = Z_1, Z_2, Z_3, Z_4, \dots, Z_N$$

【도 2】



$X = X_1, X_2, X_3, X_4, \dots, X_N$
 $Y = Y_{11}, Y_{12}, Y_{13}, Y_{14}, \dots, Y_{1N}$
 $Y = Y_{21}, Y_{22}, Y_{23}, Y_{24}, \dots, Y_{2N}$
 $Z = Z_{11}, Z_{12}, Z_{13}, Z_{14}, \dots, Z_{1N}$
 $Z = Z_{21}, Z_{22}, Z_{23}, Z_{24}, \dots, Z_{2N}$

【도 3】



【도 4】

